

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-036491

(43)Date of publication of application : 07.02.1997

(51)Int.Cl.

H01S 3/18
H01L 33/00

(21)Application number : 07-187344

(71)Applicant : SONY CORP

(22)Date of filing : 24.07.1995

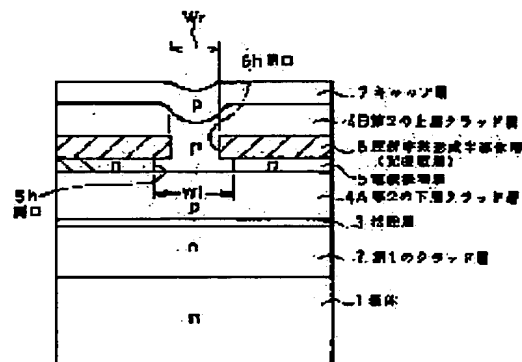
(72)Inventor : IWAMOTO KOJI

(54) FABRICATION OF SEMICONDUCTOR LIGHT EMITTING ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance the performance of a semiconductor laser and the like by arranging a carrier injection region symmetrically to an optical waveguide.

SOLUTION: A first clad layer 2 of first conductivity type, an active layer 3, a second lower clad layer 4A of second conductivity type, a current constriction layer 5 of first conductivity type, and a semiconductor layer 6 for causing difference of refractive index are sequentially grown epitaxially on a substrate 1. A stripe-like opening of specified width is then made by etching until the interface of current constriction layer 5 and second lower clad layer 4A is reached. Any one of the semiconductor layer 6 or current constriction layer 5 is then subjected to selective etching to form a semiconductor layer for causing difference of refractive index or second etching for enlarging the opening of current constriction layer. Finally, a second upper clad layer of second conductivity type is grown epitaxially and contiguously to the second lower clad layer through the opening in the semiconductor layer for causing difference of refractive index and current constriction layer 5.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-36491

(43) 公開日 平成9年(1997)2月7日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 S 3/18			H 0 1 S 3/18	
H 0 1 L 33/00			H 0 1 L 33/00	A

審査請求 未請求 請求項の数3 O L (全 8 頁)

(21) 出願番号 特願平7-187344

(22) 出願日 平成7年(1995)7月24日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 岩本 浩治

東京都品川区北品川6丁目7番35号 ソニー株式会社内

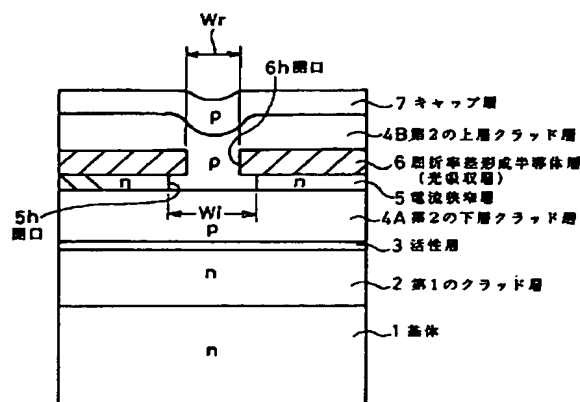
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 半導体発光素子の製造方法

(57) 【要約】 (修正有)

【課題】 光導波路幅とこれに対するキャリアの注入領域を左右対称にして半導体レーザー等の性能を改善する。

【解決手段】 基板1上に、第1導電型の第1クラッド層2、活性層3、第2導電型の第2下層クラッド層4A、第1導電型の電流狭搾層5、屈折率差形成半導体層6をこの順にエピタキシャル成長させる。次にエッチングにより電流狭搾層5と第2下層クラッド層4Aとの界面に達する所定の幅のストライプ状の開口を形成する。さらに半導体層あるいは上記電流狭搾層5のいずれか一方に対して選択性エッチングによって屈折率差を発生させる半導体層あるいは電流狭搾層5の上記開口の幅を拡大する第2のエッチングを行う。次に、屈折率差を発生させる半導体層および電流狭搾層5の開口を通じて上記第2のクラッド層の下層クラッド層に接して第2導電型の第2の上層クラッド層をエピタキシャル成長させる。



【特許請求の範囲】

【請求項1】 基板上に、少なくとも第1導電型の第1のクラッド層と、活性層と、第2導電型の第2の下層クラッド層と、第1導電型の電流狭窄層と、横方向に屈折率差を形成するための屈折率差形成半導体層とをエビタキシャル成長する第1のエビタキシャル成長工程と、その後、上記屈折率差形成半導体層と上記電流狭窄層との全厚さに渡る深さに所定の幅のストライプ状の開口を形成する第1のエッチング工程と、

上記屈折率差形成半導体層あるいは上記電流狭窄層のい
10 づれか一方に対して選択性エッチングによって上記屈折率差形成半導体層あるいは上記電流狭窄層の上記開口の幅を拡大する第2のエッチング工程とをとり、

上記第1および第2のエッチング工程後に、上記屈折率差形成半導体層および上記電流狭窄層の上記開口を通じて上記第2のクラッド層の下層クラッド層に接して第2導電型の第2の上層クラッド層をエビタキシャル成長する第2のエビタキシャル成長工程とを採ることを特徴とする半導体発光素子の製造方法。

【請求項2】 上記第2のエッチング工程が、上記屈折率差形成半導体層に対しエッチング性を示す選択性エ
20 ッチングとし、

上記屈折率差形成半導体層の開口幅を上記電流狭窄層の開口幅より大にすることを特徴とする請求項1に記載の半導体発光素子の製造方法。

【請求項3】 上記第2のエッチング工程が、上記電流狭窄層に対しエッチング性を示す選択性エッチングと
し、

上記電流狭窄層の開口幅を上記屈折率差形成半導体層の開口幅より大にすることを特徴とする請求項1に記載の
30 半導体発光素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体レーザ、発光ダイオード等の半導体発光素子の製造方法に係わる。

【0002】

【従来の技術】従来の半導体発光素子、例えば半導体レーザの例としては、例えば図7および図10にその各例の概略断面図を示すように、例えばn型のGaAsによる基体1上に、AlGaAsによるn型の第1のクラ
40 ッド層2、クラッド層2に比しAl量の小さいAlGaAsによるノンドープの活性層3、p型のAlGaAsによる第2の下層のクラッド層4Aと、中央にストライプの開口5hが形成されたn型のAlGaAsによる電流狭窄層5と、同様に中央にストライプの開口6hが形成されたn型の屈折率差を発生させる屈折率差形成半導体層6（一般には光吸収層）と、p型のAlGaAsによる第2の上層のクラッド層4Bと、p型のGaAsによるキャップ層7とを有し、図示しないが、キャップ層7上に一方の電極がオーミックに被着され、基体の裏面に

他方の電極がオーミックに被着されてなる。

【0003】この場合、半導体レーザの光出力の安定性は、屈折率差形成半導体層6の存在によって生じるラテラル方向の屈折率差によって形成された光導波路の幅と、電流狭窄層6によって制限された光導波路に対するキャリアの注入領域の幅とによって、言い換えれば、屈折率差形成半導体層6の開口6hの幅 W_r と、電流狭窄層5の開口5hの幅 W_i の関係によって決まる。

【0004】例えば、光磁気ディスクの記録に用いられる高出力レーザでは、例えば図7に模式的に示すように、キャリア注入幅、すなわち電流狭窄層5の開口5hの幅 W_i を、屈折率差形成半導体層6の開口6hの幅 W_r に比し広くする。一方、低出力で、外部環境の変動に強い半導体レーザを作るには、キャリア注入幅、すなわち電流狭窄層5の開口5hの幅 W_i を、屈折率差形成半導体層6の開口6hの幅 W_r に比し狭くする。

【0005】ところが、このようにそれぞれ開口幅を異にする電流狭窄層5と、屈折率差形成半導体層6とを、各開口をその中心軸が一致するように形成することに問題がある。いま、例えば図10で示した半導体レーザを製造する従来通常の方法を、図11～図13の工程図を参照して説明すると、先ず図11に示すように、上述した基体1上に、第1のクラッド層2、活性層3、第2の下層クラッド層4A、電流狭窄層5、屈折率差形成半導体層6を順次MOCVD (Metal Organic Chemical Vapor Deposition:有機金属化学的気相成長) 法等によってエビタキシャル成長し、屈折率差形成半導体層6上にエッチングのレジスト層8例えばフォトリソレジストを塗布し、これにフォトリソグラフィによって開口8hを形成する。この開口8hは最終的に形成する半導体レーザの水平共振器の中央を横切る中心面 O_1 を中心とするストライプ状に、またその開口幅 W_s が、図10で示した電流狭窄層5の開口5hの幅 W_i に対応する幅に選定して形成される。

【0006】そして、このレジスト層8の開口8hを通じて、屈折率差形成半導体層6および電流狭窄層5に対して、RIE（反応性イオンエッチング）等のエッチングを行って開口6hおよび5hを形成する。

【0007】レジスト層8を除去し、あらためて図12に示すように、屈折率差形成半導体層6上に幅 W_s より幅広で、図10で示した屈折率差形成半導体層6の開口6hの幅 W_r に対応する幅 W_s を有するストライプ状開口9hが形成されたエッチングのレジスト層9例えばフォトリソレジスト層を形成する。そして、このレジスト層9をエッチングレジストとじて、屈折率差形成半導体層6に対するエッチングを行って幅 W_r を有するストライプ状開口6hを形成する。

【0008】その後、レジスト層9を除去し、図13に示すように、屈折率差形成半導体層6上に、このストライプ状開口6hとこれの下の電流狭窄層5の開口5h

を通じて露出する下層クラッド層4A上に、例えばMOCVDによって全面的に第2の上層クラッド層4Bと続いてキャップ層7とをエビタキシャル成長する。

【0009】ところがこの方法による場合、最終的にそれぞれ異なる幅 W_i および W_r を有する開口5hおよび6hを形成するための工程が、それぞれ別の工程によって形成したレジスト層8および9によって形成するものであることから、これらレジストに対する開口8hおよび9hを形成するに際してのフォトリソグラフィの露光マスクの位置合せにおいて、図12に模式的に示すように、各中心位置 S_1 、および S_2 の位置にずれが生じる場合があって、これが最終的に形成される半導体レーザーにおいて図13に示すように、電流狭窄層5による電流通路の中心すなわちキャリア注入領域と、屈折率差形成半導体層6による光導波路位置とにずれが生じ、左右非対称となる場合がある。このため、縦モードに乱れが生じるとか、光出力が充分得られないとかの問題が生じ、目的とする特性の半導体レーザを製造することに問題があり、信頼性が低く、不良品の発生率が高い等の問題を有している。

【0010】

【発明が解決しようとする課題】本発明は、光導波路幅とこれに対するキャリアの注入領域の幅の各中心の一致、したがって左右対称性にすぐれた半導体レーザー等の半導体発光素子を確実に得ることができるようにした半導体発光素子を提供するものである。

【0011】

【課題を解決するための手段】本発明による半導体発光素子の製造方法においては、基板上に、少なくとも第1導電型の第1のクラッド層と、活性層と、第2導電型の第2の下層クラッド層と、第1導電型の電流狭窄層と、横方向に屈折率差を発生させるための屈折率差形成半導体層とをエビタキシャル成長する第1のエビタキシャル成長工程と、その後、屈折率差形成半導体層と電流狭窄層との全厚さに渡る深さに所定の幅のストライプ状の開口を形成する第1のエッチング工程と、屈折率差形成半導体層あるいは上記電流狭窄層のいずれか一方に対して選択性エッチングによって屈折率差形成半導体層あるいは電流狭窄層の開口の幅を拡大する第2のエッチング工程とをとり、第1および第2のエッチング工程後に、屈折率差形成半導体層および電流狭窄層の開口を通じて上記第2のクラッド層の下層クラッド層に接して第2導電型の第2の上層クラッド層をエビタキシャル成長する第2のエビタキシャル成長工程とを採る。

【0012】このような方法をとることによって、従来におけるように、電流狭窄層に対する開口と、屈折率差形成半導体層（一般には光吸収層）に対する開口の形成とをそれぞれ独別のレジストすなわち異なる露光マスクによって形成することを回避したので、光導波路の位置およびキャリア注入領域の位置を同一軸上に形成するこ

とができて左右対称性の向上をはかることができるとともに、各開口幅を目的とする特性に応じて、確実に光導波路幅およびキャリア注入幅の選定を行うことができる。

【0013】

【発明の実施の形態】図1～図4に示す工程図を参照して本発明による半導体発光素子の製造方法の実施例を説明する。

【0014】この例においては、図10で示した電流狭窄層5のストライプ開口5hの幅 W_i が、屈折率差形成半導体層6のストライプ開口6hの幅 W_r に比して相対的に小さい構成によるダブルヘテロ接合型の半導体レーザーを得る場合である。この場合、図1に示すように、第1導電型例えばn型のGaAs単結晶基体1が用意され、これの上に、図示しないが必要に応じてGaAs層等のバッファ層をエビタキシャル成長し、続いて順次基体と同導電型の例えばAl_{0.3}Ga_{0.7}Asによる第1のクラッド層2と、ノンドープあるいは低濃度のn型もしくはp型の例えばAlGaAsよりなる活性層3と、第2導電型この例ではp型の例えばAl_{0.3}Ga_{0.7}Asによる第2の下層クラッド層4Aと、第1の導電型のn型の例えば厚さ0.02 μ m～0.1 μ m程度のAlGaAsによる電流狭窄層5と、例えばこの電流狭窄層5と同導電型のn型の屈折率差を形成する屈折率差形成半導体層6一般には光吸収層を厚さ0.1 μ m～2 μ mに連続エビタキシャル成長する第1のエビタキシャル成長工程を行う。

【0015】その後、第1のエッチング工程をとる。この実施例においては、この第1のエッチング工程を、図1に示す前段の選択性エッチングと、図2に示す後段の無選択性エッチングとの2工程によって行う場合である。

【0016】すなわち、この場合、図1に示すように、屈折率差形成半導体層6上に、エッチングマスクすなわちエッチングレジスト層21例えばフォトリソレジスト層を被着形成する。これにフォトリソグラフィによって図7で示した最終的に得る相対的に幅狭とする側の電流狭窄層5に形成する開口5hの幅 W_i に対応する幅 W_i 。例えば2 μ m～6 μ mの開口幅を有するストライプ状の開口21hを形成する。そして、このレジストをエッチングマスクとして、その開口21hを通じて、上層のGaAsによる屈折率差形成半導体層6に対してエッチング性を呈し、その下のAlGaAsによる電流狭窄層5に対して低いエッチング性を示す選択性の異方性エッチングのRIE（反応性イオンエッチング）によって上層の屈折率差形成半導体層5に対してのみ開口21hの幅に対応する幅の開口6h。を穿設する。

【0017】次に、図2に示すように、開口21hおよび6h。を通じて、エッチングに選択性を示さないすなわち無選択性の異方性エッチングのRIEによって下層

5

の電流狭窄層5に、上述の幅 W_i に相当する幅の開口5h。を穿設する。

【0018】尚、この例においては、第1のエッチング工程を、選択性RIEによって屈折率差形成半導体層6に対する開口6h。を形成する前段のエッチング工程と、電流狭窄層5に対する開口5h。を形成する後段の無選択性のエッチング工程をとるようにしたものであるが、上述の図1に示した選択性RIEの工程を省略してレジスト層21の開口21hを通じて無選択性RIEによって上層の屈折率差形成半導体層6に対する開口6h。の形成と、下層の電流狭窄層5にに対する開口5h。の形成とを同一エッチング工程で行うこともできる。しかしながら、このように前段および後段の2工程のエッチングによらずに両開口6h。および5h。の形成を同時に行う場合、両層6および5の全厚さが薄い場合のエッチング時間の制御が難しいことから、図1で説明した方法によって、先ず上層の屈折率差形成半導体層6に関してのみのエッチングを選択性RIEによって行う前段のエッチングの後に、電流狭窄層5に関するエッチングを行う後段のエッチングを行う方法を探ることが望ましい。

【0019】その後、選択性エッチングによる第2のエッチング工程を行う。すなわち、この例では、図3に示すように、GaAsによる屈折率差形成半導体層6に対してエッチング性を示し、AlGaAsによる電流狭窄層5に対しては殆どエッチング性を示すことのない高選択性の等方性エッチング例えば酒石酸系のエッチャントによる化学的エッチングによって、屈折率差形成半導体層6に関してのみ側方に進行させるエッチングを行って、先に形成した開口6h。の幅を広げて目的とする幅 W_r を有するストライプ状開口6hを形成する。このとき、電流狭窄層5に関してはそのエッチングが殆どなされないことから前述したレジスト層21の開口21hの幅 W_i に対応する所定の幅 W_i を有する開口5hを形成することができる。

【0020】その後、図4に示すように、レジスト層21を除去し、屈折率差形成半導体層6上に、その開口6hおよびこれの下層の電流狭窄層21の開口5hを通じてすなわちこれら開口6hおよび5h内を埋込んで上記第2のクラッド層の下層クラッド層に接して下層のクラッド層4Aと同組成のすなわち第2導電型この例ではp型のAl。、Ga。、Asによる第2の上層クラッド層4Bと、さらにこれと同導電型のp型のGaAsによるキャップ層7とをを全面的に例えばMOCVDによる連続エピタキシャル成長を行う第2のエピタキシャル成長工程を行う。

【0021】このようにして、図10で説明したように、キャリア注入領域の幅が光導波路の幅に比し相対的に小さい、低出力ではあるものの、外部環境の変動に強い半導体レーザーを得ることができる。

6

【0022】図1～図4で説明した例では、電流通路を制限する電流狭窄層5の電流通路の開口5hの幅 W_i が、屈折率差形成半導体層6の開口の幅 W_r に比して相対的に小さい半導体レーザーを得る場合であるが、開口5hおよび6hの大小関係が逆関係にある図7で説明した高出力半導体レーザーを得る場合に本発明を適用することもできる。

【0023】次に、この場合の実施例を説明する。この場合においても、図5および図6に示すように、先ず例えば前述の図1および図2で説明したと同様の構成をとることによって、第1のエピタキシャル成長工程と、第1のエッチング工程とを探る。しかしながら、この例においては、図7に示すように、レジスト層21の開口21hを最終的に得る相対的に小なる幅の屈折率差形成半導体層6の開口6hの幅 W_r に相当する幅 W_r に選定する。図5および図6において、図1および図2と対応する部分には同一符号を付して重複説明を省略する。

【0024】その後、図7に示すように、第2のエッチング工程として、この例ではAlGaAsによる電流狭窄層5に対してエッチング性を示すが、GaAsによる屈折率差形成半導体層6に対しては殆どエッチング性を示すことのない高選択性の等方性エッチング例えばフッ酸系のエッチャントによる化学的エッチングによって、電流狭窄層5に関してのみ側方に進行させるエッチングを行って、先に形成した開口5h。の幅を広げて目的とする幅 W_i を有するストライプ状開口5hを形成する。このとき、屈折率差形成半導体層6に関してはそのエッチングが殆どなされないことから前述したレジスト層21の開口21hの幅 W_r に対応する所定の幅 W_r を有する開口6hを形成することができる。

【0025】その後、図8に示すように、レジスト層21を除去し、屈折率差形成半導体層6上に、その開口6hおよびこれの下層の電流狭窄層21の開口5hを通じてすなわちこれら開口6hおよび5h内を埋込んで上記第2のクラッド層の下層クラッド層に接して下層のクラッド層4Aと同組成のすなわち第2導電型この例ではp型のAl。、Ga。、Asによる第2の上層クラッド層4Bと、さらにこれと同導電型のp型のGaAsによるキャップ層7とをそれぞれ全面的に例えばMOCVDによる連続エピタキシャル成長を行う第2のエピタキシャル成長工程を行う。

【0026】このようにして、図7で説明したように、光導波路の幅領域の幅が比較的大きく高出力の半導体レーザーを得ることができる。

【0027】尚、図7および図8において、図3および図4と対応する部分には同一符号を付して示す。

【0028】上述した例では、AlGaAs系の3元素の半導体レーザーを得る場合について例示したが、例えばAlGaInP系等の4元素半導体レーザー等に適用することもできる。

【0029】このAlGaInP系半導体レーザを構成する場合においても、各半導体層の組成、選択エッチングのエッチャントすなわちエッチング液を変更するものの、前述した図1～図4で説明した工程もしくは図5～図8で説明した工程をとって図10もしくは図7で示した構成の半導体レーザを作製することができる。すなわち、この場合は、図1および図5で示す工程の第1のエピタキシャル成長工程において、例えばn型のGaAs基体1上に、必要に応じてバッファ層を介して（図示せず）順次n型のAl_{0.1}Ga_{0.9}InPによる第1のクラッド層2、ノンドープのGaInPよりなる活性層3、p型のAl_{0.1}Ga_{0.9}InPによる第2の下層クラッド層4A、n型のAl_{0.1}Ga_{0.9}InPによる電流狭窄層6、n型のGaAsによる屈折率差形成半導体層6とを順次例えばMOCVDによってエピタキシャル成長する。

【0030】そして、図1もしくは図5で説明したように、幅W₁₀もしくはW₁₀を有する開口21hを形成したレジスト層21の形成を行いこれをエッチングマとして図2もしくは図6で説明したと同様に、屈折率差形成半導体層6とこれの下の電流狭窄層5とに開口6h。および5h。の形成を行う。

【0031】その後図3もしくは図7に説明したと同様に高選択性の等方性エッチング例えばGaAsによる屈折率差形成半導体層6に対するエッチングを行ってその開口幅を広げるためのエッチングにおいては、酒石酸系のエッチャントを行うことができ、AlGaInPによる電流狭窄層5に対してエッチングを行ってその開口幅を広げる場合には塩酸系のエッチャントによって行うことができる。このようにして、高選択性の等方性エッチングによって、屈折率差形成半導体層6と電流狭窄層5に関してその幅を異にする開口6hおよび5hの形成を行うことができる。

【0032】その後、図4もしくは図8に示すように、レジスト層21の除去を行って、p型のAl_{0.1}Ga_{0.9}InPによる第2の上層クラッド層4Bとp型のGaAsによるキャップ層7を例えばMOCVDによってエピタキシャル成長する第2のエピタキシャル成長工程を行う。この場合においても、図示しないが電極の形成がなされて目的とする半導体レーザを構成することができる。

【0033】上述した例では、半導体レーザを得る場合について本発明を適用した場合であるが、発光ダイオード等の他の半導体発光素子に本発明を適用することができる。

【0034】上述した各例では、第1の導電型がn型で、第2の導電型がp型の半導体レーザについて説明したが、これらが逆の導電型である場合、また、活性層

3とこれらを挟んで配置されるクラッド層との間にガイド層が配置されたいわゆるSCH (Separate Confinement Heterostructure)構成による場合等上述の実施例に限られるものではなく、電流狭窄層と屈折率差形成半導体層とをともに有する種々の構造による半導体発光素子の製造に本発明を適用することができる。

【0035】

【発明の効果】上述したように、本発明によれば、光導波路の位置およびキャリア注入領域の位置を同一軸上に形成することができて左右対称性の向上をはかることができるとともに、各開口幅を目的とする特性例えば高出力、外部環境への対応等の目的に応じて、確実に光導波路幅およびキャリア注入幅の選定を行うことができ、信頼性の向上、良品率の向上をはかることができる。

【図面の簡単な説明】

【図1】本発明による半導体発光素子の製造方法の一例の一工程の断面図である。

【図2】本発明による半導体発光素子の製造方法の一例の一工程の断面図である。

20 【図3】本発明による半導体発光素子の製造方法の一例の一工程の断面図である。

【図4】本発明による半導体発光素子の製造方法の一例の一工程の断面図である。

【図5】本発明による半導体発光素子の製造方法の他の例の一工程の断面図である。

【図6】本発明による半導体発光素子の製造方法の他の例の一工程の断面図である。

【図7】本発明による半導体発光素子の製造方法の他の例の一工程の断面図である。

30 【図8】本発明による半導体発光素子の製造方法の他の例の一工程の断面図である。

【図9】本発明製造方法によって得ようとする半導体発光素子の一例の断面図である。

【図10】本発明製造方法によって得ようとする半導体発光素子の一例の断面図である。

【図11】従来の製造方法の一工程の断面図である。

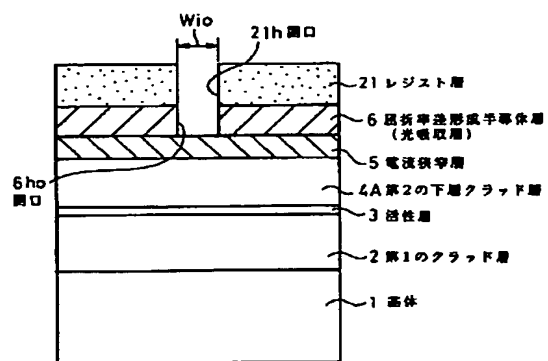
【図12】従来の製造方法の一工程の断面図である。

【図13】従来の製造方法の一工程の断面図である。

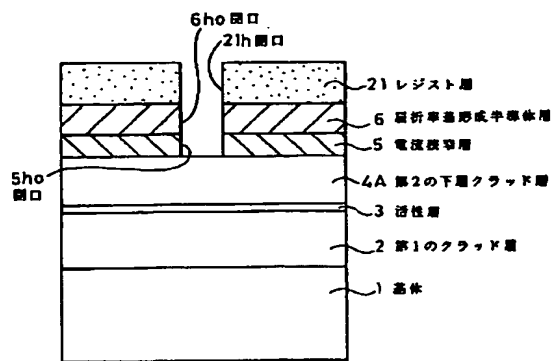
【符号の説明】

- 40 1 基板
- 2 第1のクラッド層
- 3 活性層
- 4 A 第2の下層クラッド層
- 4 B 第2の下層クラッド層
- 5 電流狭窄層
- 6 屈折率差形成半導体層（光吸収層）
- 5 h, 6 h 開口
- 7 キャップ層

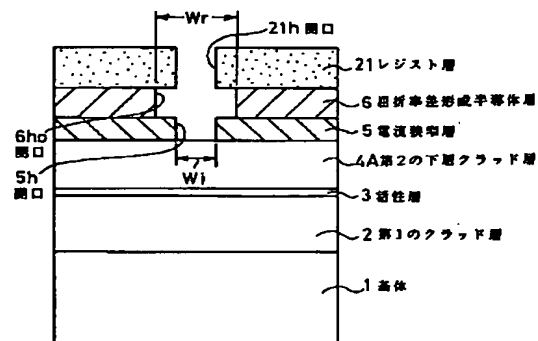
【図1】



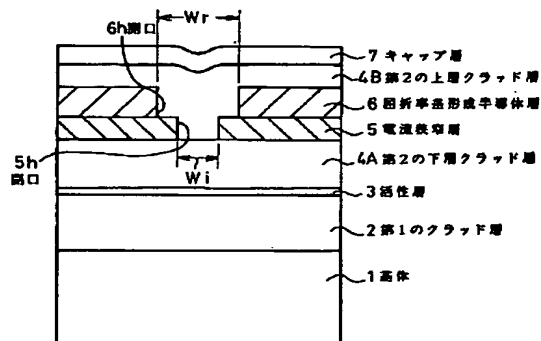
【図2】



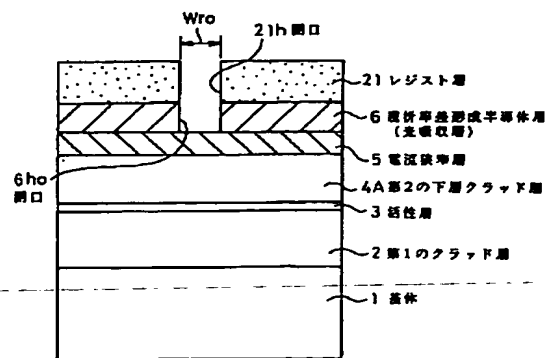
【図3】



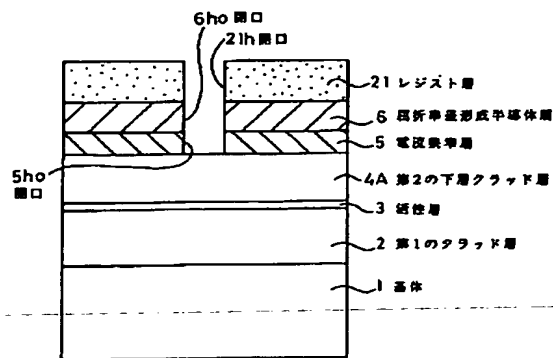
【図4】



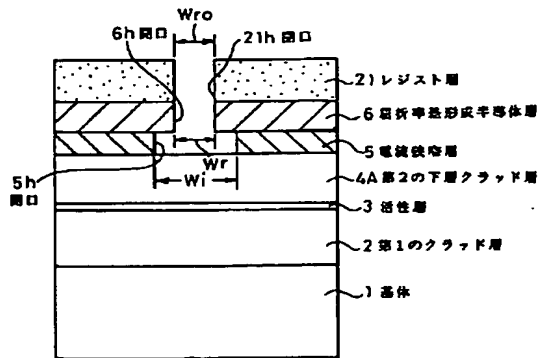
【図5】



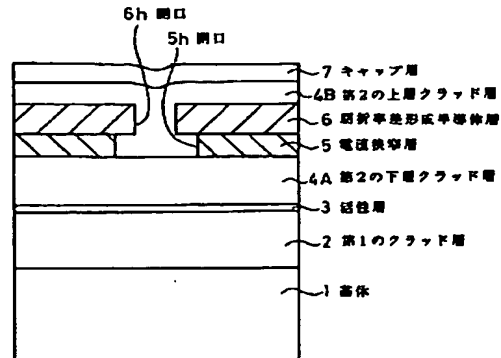
【図6】



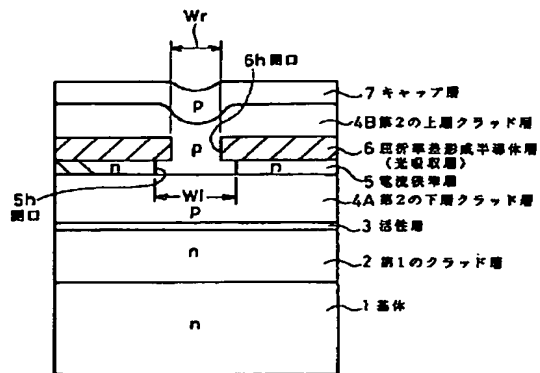
【図7】



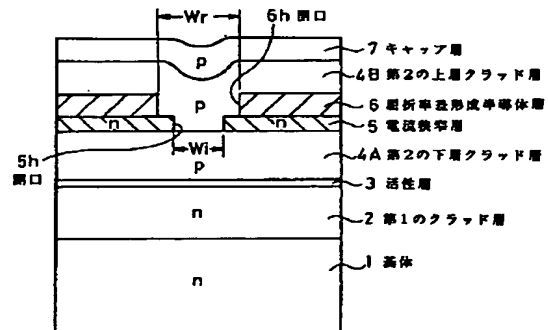
【図8】



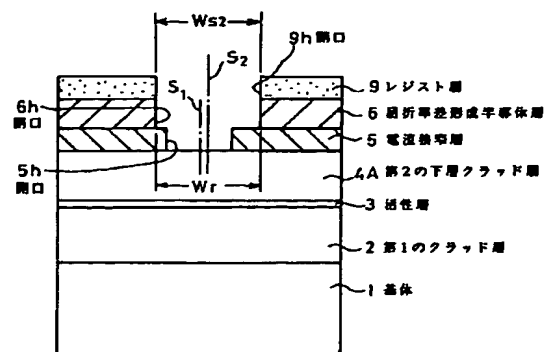
【図9】



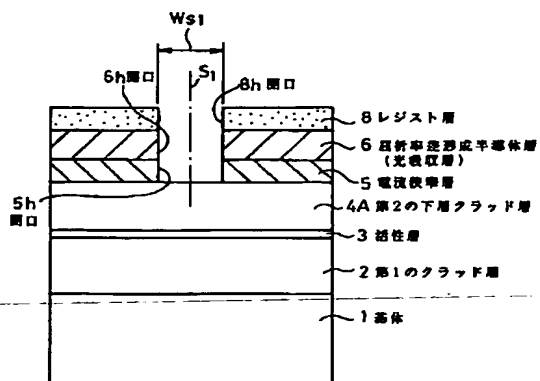
【図10】



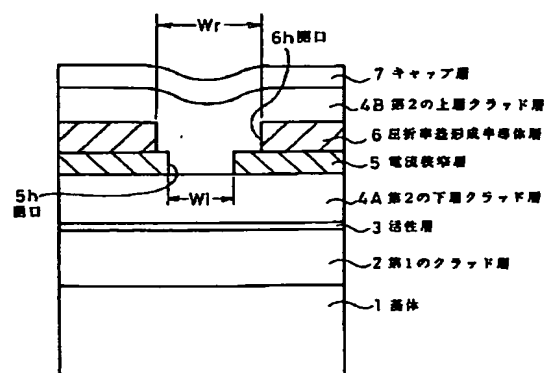
【図12】



【図11】



【図13】



Partial translation of JP9-036491, A

...omitted...

[0016]

In other words, in this case, as shown in Fig.1, an etching mask, or an etching resist layer 21, a photoresist layer, for example, is formed by coating on the refractive index difference formation semiconductor layer 6. In this etching resist layer 21, a striped opening 21h having an opening width W_{i0} , for example, an opening width of $2\mu\text{m}$ - $6\mu\text{m}$, corresponding to the width W_i of the opening 5h formed in the current blocking layer 5 of relatively narrow side in width which is ultimately obtained as shown in Fig.7, is formed by photolithography. An opening 6h₀ having the width corresponding to the width of the opening 21h is then pierced through the opening 21h, with this resist used as an etching mask, only in the refractive index difference formation semiconductor 5 of the upperlayer by RIE (Reactive Ion Etching), which is a selective anisotropic etching and exhibit etching properties to the refractive index difference formation semiconductor layer 6 of the upperlayer composed of GaAs, while exhibiting low etching properties to the current blocking layer 5 composed of AlGaAs thereunder.

[0017]

Next, as shown in Fig.2, an opening 5h₀ having the width corresponding to the above width W_i is pierced

in the current blocking layer 5 of the underlayer through the openings 21h and 6h₀ by RIE which exhibits no selectivity for etching, namely, an non-selective anisotropic etching.

[0018]

In this example, the first step includes the preceding stage of the etching step in which the opening 6h₀ is formed in the refractive index difference formation semiconductor layer 6 by selective RIE, and the following stage of the non-selective etching step in which the opening 5h₀ is formed in the current blocking layer 5, while the above selective RIE step shown in Fig.1 may be eliminated, and the formation of the opening 6h₀ in the refractive index difference formation semiconductor layer 6 of the upperlayer through the opening 21h of the resist layer 21 by non-selective RIE and the formation of the opening 5h₀ in the current blocking layer 5 of the underlayer may be performed in the same etching step. However, in the case where the formation of the both openings of 6h and 5h are simultaneously performed without using such two-step etching having the preceding and following stages, it becomes difficult to control the etching time when the whole thicknesses of the both layers 6 and 5 are small. It is thus desirable to adopt the method described in Fig.1, in which etching is first performed only to the refractive index difference formation semiconductor layer 6 of the upperlayer by selective RIE in the preceding stage of etching, and then etching is performed to the

current blocking layer 5 in the following stage.

[0019]

The second etching step is subsequently performed by selective etching. That is, in this example, as shown in Fig.3, etching is performed only to the refractive index difference formation semiconductor layer 6 to the side direction by high-selective isotropic etching, such as chemical etching using tartaric acid-based etchant, which exhibits etching properties to the refractive index difference formation semiconductor layer 6 composed of GaAs while hardly exhibiting etching properties to the current blocking layer 5 composed of AlGaAs, in order to widen the width of the opening 6h₀ formed earlier to form a striped opening 6h having the width W_r which is aimed. Since the etching is hardly performed to the current blocking layer 5 at that time, the opening 5h having the predetermined width W_i corresponding to the above width W_{i0} of the opening 21h of the resist layer 21 can be formed.

[0020]

Thereafter, as shown in Fig.4, the resist layer 21 is removed, and the second epitaxial growth step is performed, in which a second upper cladding layer 4B having the same composition as the under cladding layer 4A, namely, composed of the second conductive type, in this example p-type Al_{0.5}Ga_{0.5}As, and additionally, a cap layer 7 composed of p-type GaAs which is the same conductive type as the one above are continuously epitaxial-grown on the whole surface of the refractive

index difference formation semiconductor layer 6, by, for example, MOCVD, through the opening 6h and the opening 5h of the current blocking layer 21 thereunder, in other words, with the second upper cladding layer 4B buried inside of these openings 6h and 5h and in contact with the under cladding layer of the above second cladding layer.

...omitted...